

## PROGRAMMABLE FUNCTION BLOCK

**Patent number:** JP11024891

**Publication date:** 1999-01-29

**Inventor:** NAKATANI SHOGO

**Applicant:** NIPPON ELECTRIC CO; GIJUTSU KENKYU KUMIAI  
SHINJOHO

**Classification:**

**- international:** G06F7/00; G06F7/38; G06F7/50; H03K19/173; G06F7/00;  
G06F7/38; G06F7/48; H03K19/173; (IPC1-7): G06F7/00;  
G06F7/50; H03K19/173

**- european:**

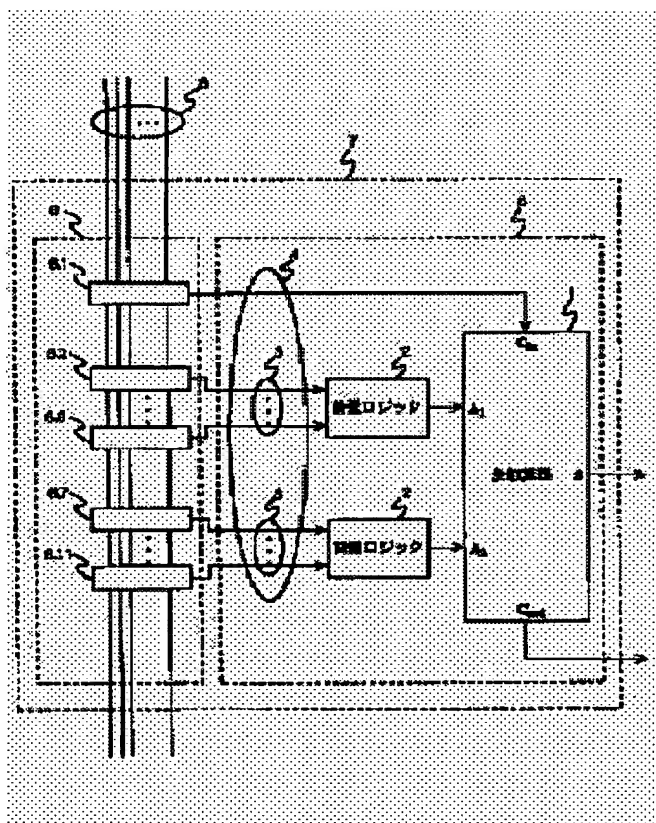
**Application number:** JP19970187737 19970627

**Priority number(s):** JP19970187737 19970627

Report a data error here

### Abstract of JP11024891

**PROBLEM TO BE SOLVED:** To provide a programmable function block which has both multifunctional and fast properties by adding an AND-OR circuit functioning as a versatile logic circuit to an full adder to construct the programmable function block. **SOLUTION:** A programmable function block 7 consists of a logic block 5 and an input block 6. The block 5 includes a full adder 1 and a pre-logic 2, and the block 6 includes plural input selection unit 6.i (i=1, 2, 3...) respectively. The input lines of the block 5 are connected to a mutually coupled wiring 8 via the unit 6.i. The logic 2 consists of a 5-input/1-output AND-OR circuit which has a partly inverted input and functions as a versatile logic circuit when a specific input is set at 0 (low level) or 1 (high level).



Data supplied from the esp@cenet database - Worldwide

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-024891

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G06F 7/00  
G06F 7/50  
H03K 19/173

(21)Application number : 09-187737

(71)Applicant : NEC CORP  
GIJUTSU KENKYU KUMIAI SHINJOHO SHIYORI  
KAHATSU KIKO

(22)Date of filing : 27.06.1997

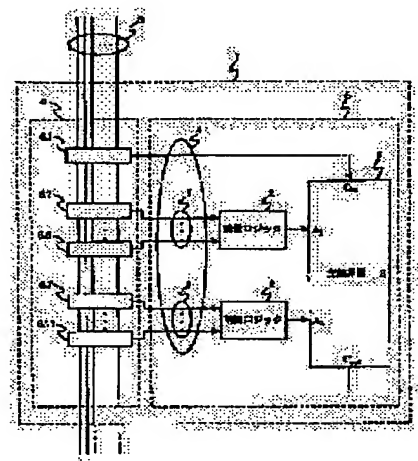
(72)Inventor : NAKATANI SHOGO

## (54) PROGRAMMABLE FUNCTION BLOCK

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a programmable function block which has both multifunctional and fast properties by adding an AND-OR circuit functioning as a versatile logic circuit to an full adder to construct the programmable function block.

**SOLUTION:** A programmable function block 7 consists of a logic block 5 and an input block 6. The block 5 includes a full adder 1 and a pre-logic 2, and the block 6 includes plural input selection unit 6.i (i=1, 2, 3...) respectively. The input lines of the block 5 are connected to a mutually coupled wiring 8 via the unit 6.i. The logic 2 consists of a 5-input/1-output AND-OR circuit which has a partly inverted input and functions as a versatile logic circuit when a specific input is set at 0 (low level) or 1 (high level).



## LEGAL STATUS

[Date of request for examination] 27.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3194364

[Date of registration] 01.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-24891

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

G 0 6 F 7/00

G 0 6 F 7/00

E

7/50

7/50

Z

H 0 3 K 19/173

1 0 1

H 0 3 K 19/173

1 0 1

審査請求 有 請求項の数 6 F D (全 9 頁)

(21) 出願番号 特願平9-187737

(22) 出願日 平成9年(1997) 6月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 593162453

技術研究組合新情報処理開発機構

東京都千代田区東神田2-5-12 龍角散ビル8階

(72) 発明者 中谷 正吾

東京都港区芝五丁目7番1号 日本電気株式会社内

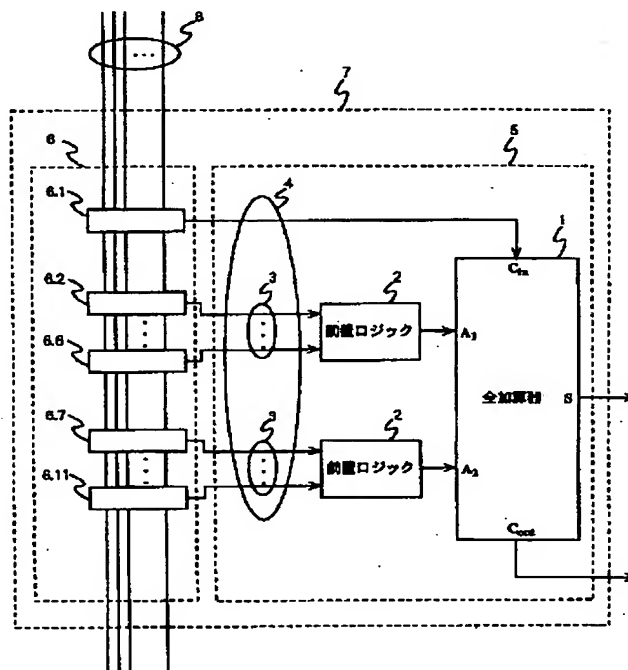
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 プログラマブル機能ブロック

(57) 【要約】

【課題】 高速かつ多機能なプログラマブル機能ブロックの提供。

【解決手段】 全加算器に、多様な論理回路として機能するAND-NOR回路を付加したロジックブロックと、相互結合配線およびハイ、ロウレベルのいずれかの信号をロジックブロックに提供するプログラマブル入力ブロックと、から成るプログラマブル機能ブロックにより、高速な算術演算と多様な論理機能を実現する。



**【特許請求の範囲】**

【請求項1】 2つの反転した入力を有する第1のAND回路と、3つの入力を有しそのうち1つが反転した入力である第2のAND回路と、前記第1のAND回路と前記第2のAND回路の出力の論理和の否定をとるNOR回路と、から成る、少なくとも1つの前置ロジックと、1つの全加算器と、

を含み、前記全加算器の3つの入力のうち、少なくとも1つの入力に、前記前置ロジックの出力が接続されて成るロジックブロックと、

相互接続配線とハイレベル信号とロウレベル信号のうち1つの信号をプログラムによって選択してその出力とする少なくとも1つの入力選択ユニットと、

を含み、

前記ロジックブロックの入力が、前記入力選択ユニットの出力に接続されている、ことを特徴とするプログラマブル機能ブロック。

【請求項2】 請求項1記載の前記プログラマブル機能ブロックを複数備えてなるプログラマブル機能ブロック集合体であって、

各々の前記プログラマブル機能ブロックの前記前置ロジックの少なくとも1つの入力を、前記複数のプログラマブル機能ブロック全てに渡って共通化し、前記共通化された入力を、1つの前記入力選択ユニットの出力から供給する、

ことを特徴とするプログラマブル機能ブロック集合体。

【請求項3】 2つの入力信号とキャリー入力信号の計3つの入力を有し前記2つの入力信号の和とキャリー出力信号を出力する全加算器と、

複数の入力信号のうち、1又は複数の入力信号の論理値の設定により、他の入力信号についての論理積や否定論理積、及び、論理和や排他的論理和などの論理機能が選択自在とされ、論理積及び否定論理和の論理ゲートよりなる、少なくとも1つの、前置ロジックと、を備え、

前記全加算器の前記3つの入力の少なくとも1つの入力が前記前置ロジックの出力に接続されてなるロジックブロックと、

同一チップ上の回路間の相互結合に使われる配線網である相互接続配線を入力し、該入力と、論理値1又は0の固定値と、のいずれかをプログラム選択して取り出し、その出力をそれぞれ、前記前置ロジックの入力、及び前記全加算器の前記3つの入力のうち前置ロジックの出力に接続されていない入力に供給する、複数の入力選択ユニットを含む入力ブロックと、

を備え、前記全加算器の和出力端とキャリー出力端を出力端としてなるプログラマブル機能ブロックを少なくとも1つ含む、ことを特徴とする半導体集積回路装置。

【請求項4】 前記前置ロジックが、2つの反転入力を有する第1のAND回路と、

3つの入力を有しそのうち1つが反転入力である第2の

AND回路と、

前記第1のAND回路と前記第2のAND回路の出力の否定論理和をとるNOR回路と、を含む、ことを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】 前記プログラマブル機能ブロックの前記前置ロジックの入力の少なくとも1つを、複数の前記プログラマブル機能ブロック全てに渡って共通化し、前記共通化された入力を、同一チップ上の回路間の相互結合に使われる配線網である前記相互接続配線と、論理1又は0の固定値を選択して出力する1つの入力選択ユニットの出力から供給する、ことを特徴とする請求項3記載の半導体集積回路装置。

【請求項6】 前記入力選択ユニットが、論理1又は0の固定値を選択して出力する手段として、高電位側電源端子と低電位側電源端子の間に直列接続されたPチャネルMOSトランジスタ及びNチャネルMOSトランジスタと、

前記PチャネルMOSトランジスタのゲート端子及び前記NチャネルMOSトランジスタのゲート端子にそれぞれ出力を接続した第1、第2の記憶手段と、

を含み、前記PチャネルMOSトランジスタと前記NチャネルMOSトランジスタの接続点から出力を取り出すことを特徴とする請求項3記載の半導体集積回路装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、半導体集積回路に関し、特に、ユーザーがプログラムによって多様な機能を実現できる論理デバイスの構成要素である機能ブロックに関する。

【0002】 【発明の背景】 PLD (Programmable Logic Device)、FPGA (Field Programmable Gate Array) 等、ユーザーがプログラムによって多様な機能を実現できる論理デバイスは、近年急速に発展している。集積度及びスピードの向上によって、従来のASIC (Application Specific Integrated Circuit) 設計時のエミュレーションや簡単な周辺回路の置き換えのみならず、その多様性を生かして再構成可能なコンピュータに使うことが検討されはじめている。しかし、従来のPLDやFPGAは、多様性を重んじて、ルックアップテーブルを論理構成単位として用いてきたため、コンピュータによく使われる算術演算の性能が悪い、という問題があった。

【0003】 一方、従来から汎用プロセッサに使われてきた全加算器を中心としたALU (Arithmetic and Logical Unit) は、コンピュータによく使われる算術演算性能は優れているものの、論理回路としての機能が乏しく、PLDやFPGAの論理構成単位として使うことはできなかった。

【0004】 本発明は、後の説明で明らかとされるように、このALUの機能を強化し、且つ多様な論理機能と

高速な算術演算性能を併せ持つ論理構成単位を提供するものである。

#### 【0005】

【従来の技術】図14に、従来のFPGAのロジックブロック（機能ブロックの論理回路部）の例を示す（米国特許USP5, 570, 039参照）。図14を参照すると、ロジックブロック5は、全加算器1と、その入力に結合された前置ロジック2と、から成る。前置ロジック2は、符号3で示す2本の入力と、1本の出力を持ち、1ビットメモリ15の内容によって、2通りの論理機能AND（論理積）とEXNOR（排他的論理和）とを実現できる。これによって、このロジックブロック5は、加算／減算、および乗算の構成単位を実現できる。

【0006】しかしながら、この従来のロジックブロック5は、前置ロジック2が2モードしか持っていないため、機能不足であることは否めない。

【0007】例えば、2の補数表現の符号つき乗算を構成するためには、AND付き全加算器に加えて、NAND（あるいは反転した入力を持つAND）付きの全加算器も必要であるが、図14に示した従来のロジックブロック5では、これを実現することはできない。

【0008】また、実際のFPGAでは、全加算器の代わりに、メモリを用いたルックアップテーブル（LUT）を備え、高速なキャリー伝搬のために専用ロジックが用いられている。その理由は、全加算器では、機能が不足するためである。

【0009】一方、高速な算術演算（加算、減算、乗算等）を行うためには、ルックアップテーブルではなく、全加算器を用いた方がよい。

#### 【0010】

【発明が解決しようとする課題】以上説明したように、上記従来のロジックブロックの問題点は、実現できる機能が少ない、ということである。

【0011】その理由は、上記従来のロジックブロックにおいては、前置ロジックの機能が、例えば2通りと少ない、ことによる。

【0012】したがって、本発明は、上記従来技術の問題点に鑑みてなされたものであって、その目的は、高速な算術演算に好適とされる全加算器を用いつつ、且つ、豊富な機能を有する前置ロジックを付加することによって、多機能性と高速性を併せ持つプログラマブル機能ブロックを提供することにある。

#### 【0013】

【課題を解決するための手段】前記目的を達成する、本発明は、その概略を述べれば、ロジックブロックに全加算器を用いることにより高速な算術演算を実現し、さらに、全加算器のみでは不十分な機能性を強化するため、多様な論理回路として機能するAND-NOR回路を全加算器に付加してプログラマブル機能ブロックを構成したものである。

【0014】より詳細には、本発明のプログラマブル機能ブロックは、好ましくは、2つの反転した入力を有する第1のAND回路と、3つの入力を有しそのうち1つが反転した入力である第2のAND回路と、前記第1のAND回路と前記第2のAND回路の論理和の否定をとるNOR回路と、から成る少なくとも1つの前置ロジックと、1つの全加算器と、を含み、前記全加算器の3つの入力のうち少なくとも1つの入力に前記前置ロジックの出力が接続されてなるロジックブロックと、相互接続配線とハイレベル信号とロウレベル信号のうち1つの信号をプログラムによって選択してその出力とする少なくとも1つの入力選択ユニットと、を含み、前記ロジックブロックの入力が前記入力選択ユニットの出力に接続されている、ことを特徴とする。

【0015】また、本発明は、前記プログラマブル機能ブロックを複数備え、各々の前記プログラマブル機能ブロックの前記前置ロジックの少なくとも1つの入力を、前記複数のプログラマブル機能ブロック全てに渡って共通化し、前記共通化された入力を1つの前記入力選択ユニットの出力から供給する、ように構成してもよい。

#### 【0016】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0017】図1は、本発明の第1の実施の形態の構成を示すブロック図である。図1を参照すると、本発明の第1の実施の形態において、プログラマブル機能ブロック7は、ロジックブロック5と、入力ブロック6と、から成る。そして、ロジックブロック5は、1つの全加算器1と、1又は複数の前置ロジック2から成る。なお図1には、2つの前置ロジック2の構成が示されている。

【0018】全加算器1は、入力として引数入力 $A_1$ 、 $A_2$ 、及びキャリー入力 $C_{in}$ を持ち、出力として加算出力 $S$ 及びキャリー $C_{out}$ を持つ。

【0019】前置ロジック2は、符号3で示す5本の入力と、1本の出力と、を持つ。

【0020】全加算器1の引数入力 $A_1$ 、 $A_2$ のうち、少なくとも一方には、前置ロジック2の出力が接続される。図1には、全加算器1の両引数入力 $A_1$ 、 $A_2$ が共に、前置ロジック2の出力に接続されている構成が示されているが、本発明は、この構成に限定されるものでないことは勿論である。

【0021】入力ブロック6は、複数の入力選択ユニット6.  $i$ （但し、 $i=1, 2, 3, \dots$ ）から成る。

【0022】ロジックブロック5の入力4は、全加算器1のキャリー入力 $C_{in}$ と、前置ロジック2の入力3と、もしあれば、全加算器1の引数入力のうち、前置ロジック2の出力に接続されていない、引数入力と、から成り、各々の入力線は、入力選択ユニット6.  $i$ （ $i=1, 2, 3, \dots$ ）を介して相互結合配線8と結合している。入力選択ユニットはロジックブロック5の入力4と同じ

数だけ設けられる。

【0023】相互結合配線は、同じ半導体集積回路にある回路の結合に使われる配線網であり、例えば自身及び他のプログラマブル機能ブロックの出力と入力との接続や、プログラマブル機能ブロック、メモリ、レジスタ等の間を相互に接続するものである。図1の相互結合配線8はその一部を示したものである。

【0024】以下では、本発明の第1の実施の形態について更に詳細に説明すべく、各構成要素の具体的構成について説明する。

【0025】図2に、前置ロジック2の回路構成の一例を示す。図2を参照すると、前置ロジック2は、部分的に反転した入力を持つ5入力1出力のAND-NOR回路から構成されている。より詳細には、この5入力1出力AND-NOR回路は、入力 $I_0$ 、 $I_1$ の反転入力を持つ2入力AND回路201と、入力 $I_2$ の反転入力、及び入力 $I_3$ 、 $I_4$ を入力として持つ3入力AND回路202と、AND回路201とAND回路202の出力を入力とするNOR回路203と、からなる。

【0026】この5入力1出力AND-NOR回路は、特定の入力を0（ロウレベル）又は1（ハイレベル）に設定することにより、多様な論理回路として機能する。図3に、その例を一覧表として示す。

【0027】図3の入力欄において、空白のところはドントケア（Don't care；その入力が0か1かに結果は依存しない）を意味する。例えば、図2において、入力 $I_2$ が1の場合、3入力AND回路202の出力は、入力 $I_3$ 、 $I_4$ の論理値にかかわらず常に0となり、2入力NORゲートは第1の入力が0の時、第2の入力のインバータとして作用するため、5入力1出力AND-NOR回路の論理値は、 $(I_0 \text{ AND } I_1) \text{ NOR } (I_2 \text{ AND } I_3 \text{ AND } I_4)$ （記号 $\neg$ は反転を示す）となり、 $(I_0 \text{ OR } I_1)$ となり、入力 $I_0$ と $I_1$ のOR（論理和）ゲートとして機能する。

【0028】さらに、図3から判るように、この前置ロジック2は、2の補数の符号付き乗算に必要なAND及びNAND、さらに加減算に必要なEXOR（排他的論理和）の機能も実現することができる。

【0029】また、図1において、全加算器1もまたある程度多様な論理回路として機能する。図4は、これを具体的に例示したものである。

【0030】すなわち、図4を参照すると、全加算器のキャリー入力 $C_{in}$ を0または1に設定することにより、全加算器の加算出力S及びキャリー出力 $C_{out}$ は、2入力1出力の基本的な論理回路である、EXOR、AND、EXNOR（排他的否定論理和）、ORとして機能することが判る。なお、全加算器の出力は、入力の置換に対して不変であるので、図4において、 $C_{in}$ を $A_1$ あるいは $A_2$ と入れ替えても同じ結果を得る。

【0031】以上より、全加算器1の入力に、図2に示

したAND-NOR回路を結合したものは、入力の設定の仕方により、非常に多様な論理機能を実現できるものであることが明らかとされた。

【0032】次に、入力を設定する入力選択ユニットについて説明する。

【0033】図1において、入力ブロック6の入力選択ユニット6.  $i$ （ $i=1, 2, 3, \dots$ ）は、相互結合配線、ハイレベル信号、及びロウレベル信号のうち1つの信号をプログラムにより選択し、取り出す回路である。

【0034】図5に、入力選択ユニット6.  $i$ の構成の一例を示す。各入力選択ユニット6.  $i$ は、1本の出力線13を持ち、この出力線13は、相互結合配線8の1又は複数の線と、プログラマブルスイッチ12を介して結合し、かつ0-1スイッチ14の出力と接続される。プログラマブルスイッチ12は、プログラムによって、端子間を導通、又は非導通のいずれかの状態に設定できる回路である。また0-1スイッチ14は、1つの出力を持ち、プログラムによってその出力状態をハイレベル、ロウレベル、高インピーダンスのいずれかに設定できる回路である。

【0035】図6に、プログラマブルスイッチ12の構成の一例を示す。図6を参照すると、このプログラマブルスイッチ12は、プログラムによって内容を設定できる1ビットのコンフィギュレーション用メモリ15と、コンフィギュレーション用メモリ15の出力Qをゲート端子に接続したNチャネルMOSトランジスタ16と、から成る。メモリ15の出力Qが1又は0に応じて、プログラマブルスイッチ12の端子20、21間は導通、非導通のいずれかの状態になる。

【0036】図7には、プログラマブルスイッチ12の別の構成例を示す。図7を参照すると、このプログラマブルスイッチ12は、プログラムによって内容を設定できる1ビットのコンフィギュレーション用メモリ15と、メモリ15の出力QをNチャネルMOSトランジスタ16のゲート端子に、メモリ15の反転出力 $Q^{\neg}$ をPチャネルMOSトランジスタ17のゲート端子に接続して成るトランSMIッションゲート18と、から成る。プログラマブルスイッチ12の端子20、21間はメモリ15の出力Qが、1又は0によって導通、又は非導通の状態になる。

【0037】プログラマブルスイッチ12のさらに別の構成例としてアンチフューズより構成してもよい。

【0038】図8に、0-1スイッチ14の構成の一例を示す。図8を参照すると、0-1スイッチ14は、2つの1ビットコンフィギュレーション用メモリ15. 1、15. 2と、及び、メモリ15. 1の出力Qをゲート端子に、メモリ15. 2の出力Qをソース端子に接続したNチャネルMOSトランジスタ16から成る。メモリ15. 1の出力Qが0か1に応じて、0-1スイッチ14の出力22は、高インピーダンス状態となるか、

出力状態となるかが決まる。さらに、出力状態のとき、すなわち、トランジスタ16が導通状態のとき、メモリ15. 2の出力Qが、0-1スイッチ14の出力22として出力される。

【0039】図9に、0-1スイッチ14の別の構成例を示す。図9を参照すると、この0-1スイッチ14は、2つの1ビットコンフィギュレーション用メモリ15. 1、15. 2と、メモリ15. 1の出力QをNチャネルMOSトランジスタ16のゲート端子に、メモリ15. 1の反転出力Q<sup>-</sup>をPチャネルMOSトランジスタ17のゲート端子に接続してなるトランスミッションゲートとから成り、トランスミッションゲートの一端にメモリ15. 2の出力Qを接続したものである。メモリ15. 1の出力Qが0か1かによって、0-1スイッチ14の出力22が高インピーダンス状態か出力状態かが決まる。さらに出力状態のとき、トランスミッションゲートは導通状態とされ、メモリ15. 2の出力Qが、0-1スイッチ14の出力22として出力される。

【0040】図10に、0-1スイッチ14のさらに別の構成例を示す。図10を参照すると、この0-1スイッチ14は、NチャネルMOSトランジスタ16のソースはグラウンドに、PチャネルMOSトランジスタ17のソースは電源V<sub>cc</sub>にそれぞれ接続され、さらに、NチャネルMOSトランジスタ16のドレインとPチャネルMOSトランジスタ17のドレインが接続されて、それが出力22となる。1ビットのコンフィギュレーション用メモリ15. 1の出力QがPチャネルMOSトランジスタ17のゲート端子に、1ビットのコンフィギュレーション用メモリ15. 2の出力QがNチャネルMOSトランジスタ16のゲート端子に接続される。これら2つのメモリ15. 1、15. 2の内容がそれぞれ1、0のとき、出力22は高インピーダンス状態、メモリ15. 1の内容が0で、かつメモリ15. 2の内容が0のとき、出力22はハイレベル、メモリ15. 1の内容が1で、かつメモリ15. 2の内容が1のとき出力はロウレベルとなる。

【0041】図11に、入力選択ユニット6. iの図5に示した構成とは別の構成例を示す。図11を参照すると、相互結合配線8の1又は複数の線、及び1ビットコンフィギュレーション用メモリ15. 1の出力がマルチプレクサ9の入力に接続され、制御線10の各線にも1ビットコンフィギュレーション用メモリ15. 2の出力が各々接続される。プログラムによって設定したメモリ15. 2の内容に応じて、マルチプレクサの入力のいずれかの信号が出力13に伝達される。メモリ15. 1は、固定値1または0を、マルチプレクサ9に与えるためのもので、メモリ15. 1の内容はプログラムによって予め設定される。

【0042】図12に、入力選択ユニット6. iのさらに別の構成例を示す。図12を参照すると、相互結合配

線8の一又は複数の線、電源電位V<sub>cc</sub>、及びグラウンド電位がマルチプレクサ9の入力に接続され、制御線10の各線には1ビットコンフィギュレーション用メモリ15. 2の出力が各々接続される。プログラムによって設定したメモリ15. 2の内容に応じて、マルチプレクサ9の入力のいずれかの信号が出力13に伝達される。

【0043】図1において、相互結合配線8のうちどの線が入力選択ユニットを素通りするかは、各入力選択ユニット6. i (i=1、2、3、…)ごとに異なっている。

【0044】本発明の第1の実施の形態の作用効果について説明する。本発明の第1の実施の形態では、全加算器を用いることによって、加算、乗算のような算術演算を高速に実行できるプログラマブル機能ブロックを提供できる。さらに、多様な論理回路として機能する前置ロジックと全加算器とを組み合わせることにより、豊富な機能も提供できる。

【0045】次に、本発明の第2の実施の形態について説明する。図13は、本発明の第2の実施の形態の構成を示す図である。図13を参照すると、この実施の形態においては、図1に示した前記第1の実施の形態に係るプログラマブル機能ブロック7を複数並べ、各々のプログラマブル機能ブロック7の前置ロジック2の入力3のうちの1又は複数の線を、前記複数の並べられたプログラマブル機能ブロック全てに渡って、共通の線30で接続したものである。共通の線30は、各々入力選択ブロックを介して相互結合配線8と結合される。

【0046】図13は、1つの前置ロジックを有するプログラマブル機能ブロック7が2つ配置され、前置ロジックの2つの入力異なるプログラマブル機能ブロックの間で、共通の線30で結ばれている例を示している。

【0047】前置ロジック2の入力のうちどれを共通化してもよいが、好ましくは、図2に示した前置ロジック2の入力I<sub>0</sub>、I<sub>1</sub>のどちらか一方、および入力I<sub>3</sub>、I<sub>4</sub>のどちらか一方である。これは、図2に示した回路が、入力I<sub>0</sub>とI<sub>1</sub>の置換および入力I<sub>3</sub>とI<sub>4</sub>の置換に対して対称であり、同じ役割を持つ複数の入力のうち一方を共通化に用いても他方の入力によってその役割を果たすことができるためである。

【0048】本発明の第2の実施の形態は、前記第1の実施の形態の効果に加えて、プログラマブル機能ブロックの占有面積を小さくするという効果を奏する。これは、各プログラマブル機能ブロックの一部の入力を複数のプログラマブル機能ブロックに渡って共通化することにより、大きい面積を必要とする入力選択ユニットの数を削減できるためである。

【0049】

【発明の効果】以上説明したように、本発明によれば、下記記載の効果を奏する。

【0050】(1) 本発明の第1の効果は、高速な算術

演算機能を提供できる、ということである。

【0051】その理由は、本発明においては、ロジックブロックに、ルックアップテーブルでなく全加算器を用いたためである。

【0052】(2) 本発明の第2の効果は、上記第1の効果と併せて豊富な機能を実現できる、ということである。

【0053】その理由は、本発明においては、多様な論理回路として機能するAND-NOR回路を全加算器に付加してロジックブロックを構成したためである。

【0054】(3) 本発明の第3の効果は、省面積のプログラマブル機能ブロックを実現できる、ということである。

【0055】その理由は、本発明においては、プログラマブル機能ブロックの一部の入力を複数のプログラマブル機能ブロックに渡って共通化して構成したためである。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施の形態の構成を示すブロック図である。

【図2】本発明の実施の形態における前置ロジックの具体的構成の一例を示す図である。

【図3】本発明の実施の形態における前置ロジックの有する機能を示す図である。

【図4】全加算器の持つ論理機能を説明するための図である。

【図5】本発明の実施の形態における入力選択ユニットの第1の構成例を示す図である。

【図6】本発明の実施の形態におけるプログラマブルスイッチの第1の構成例を示す図である。

【図7】本発明の実施の形態におけるプログラマブルスイッチの第2の構成例を示す図である。

【図8】本発明の実施の形態における0-1スイッチの第1の構成例を示す図である。

【図9】本発明の実施の形態における0-1スイッチの

第2の構成例を示す図である。

【図10】本発明の実施の形態における0-1スイッチの第3の構成例を示す図である。

【図11】本発明の実施の形態における入力選択ユニットの第2の構成例を示す図である。

【図12】本発明の実施の形態における入力選択ユニットの第3の構成例を示す図である。

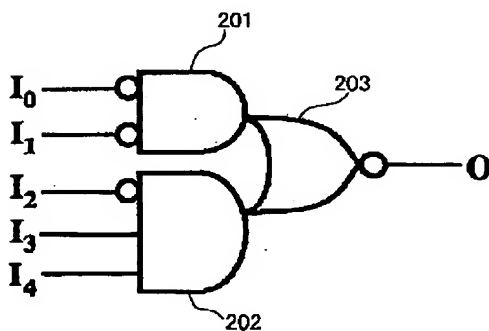
【図13】本発明の別の実施の形態の構成を示すブロック図である。

【図14】従来のロジックブロックの構成の一例を示す図である。

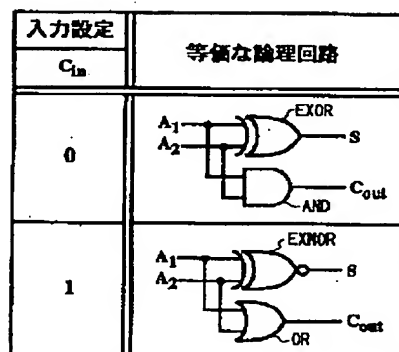
#### 【符号の説明】

- 1 全加算器
- 2 前置ロジック
- 3 前置ロジックの入力
- 4 ロジックブロックの入力
- 5 ロジックブロック
- 6 入力ブロック
6. i (i=1、2、3、…) 入力選択ユニット
- 7 プログラマブル機能ブロック
- 8 相互結合配線
- 9 マルチプレクサ
- 10 マルチプレクサの制御線
- 12 プログラマブルスイッチ
- 13 入力選択ユニットの出力
- 14 0-1スイッチ
- 15、15. 1、15. 2 コンフィギュレーションメモリ
- 16 NチャネルMOSトランジスタ
- 17 PチャネルMOSトランジスタ
- 18 トランスミッションゲート
- 20、21 プログラマブルスイッチの端子
- 22 0-1スイッチの出力
- 30 前置ロジックの共通化入力

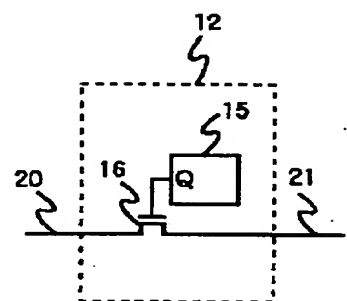
【図2】



【図4】

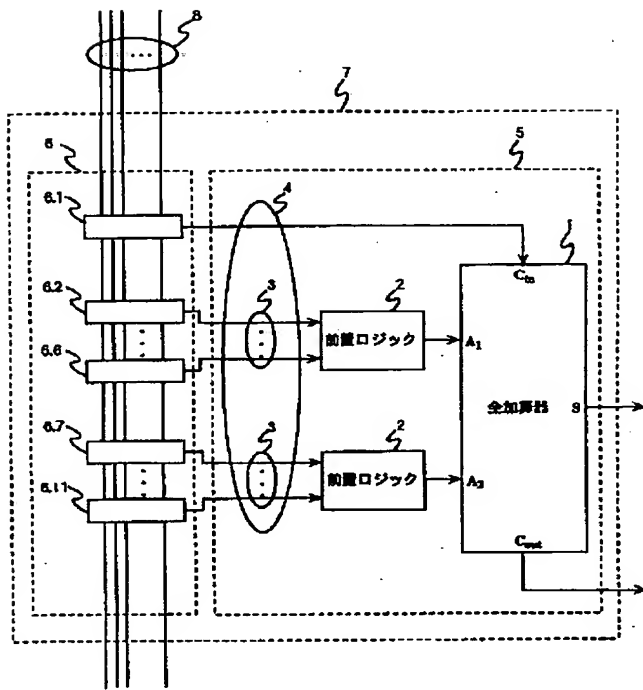


【図6】





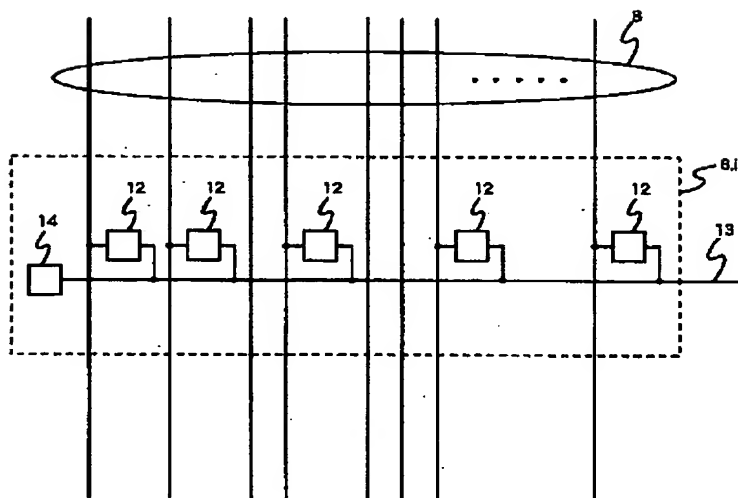
【図1】



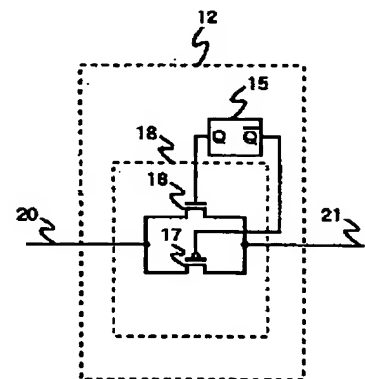
【図3】

入力					等価な論理回路
$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	
$I_0$	$I_1$	1			$I_0, I_1$ AND $\rightarrow O$
$I_0$	0	$I_2$	1	1	$I_0, I_2$ AND $\rightarrow O$
	1	0	$I_3$	$I_4$	$I_3, I_4$ AND $\rightarrow O$
$I_0$	0	0	$I_3$	1	$I_0, I_3$ AND $\rightarrow O$
	1	$I_2$	$I_3$	1	$I_2, I_3$ AND $\rightarrow O$
$I_0$	$I_1$	0	$I_1$	$I_0$	$I_0, I_1$ AND $\rightarrow O$
$I_0$	$I_1$	$I_2$	$I_1$	1	$I_0, I_1, I_2$ AND $\rightarrow O$
$I_0$	$I_1$	$I_2$	1	1	$I_0, I_1, I_2$ AND $\rightarrow O$
$I_0$	0	$I_2$	$I_3$	1	$I_0, I_2, I_3$ AND $\rightarrow O$
$I_0$	$I_1$	$I_2$	$I_3$	1	$I_0, I_1, I_2, I_3$ AND $\rightarrow O$

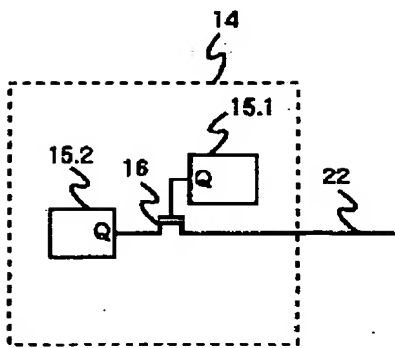
【図5】



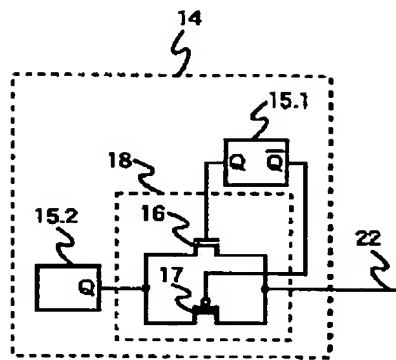
【図7】



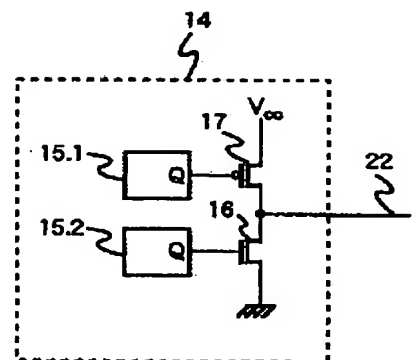
【図8】



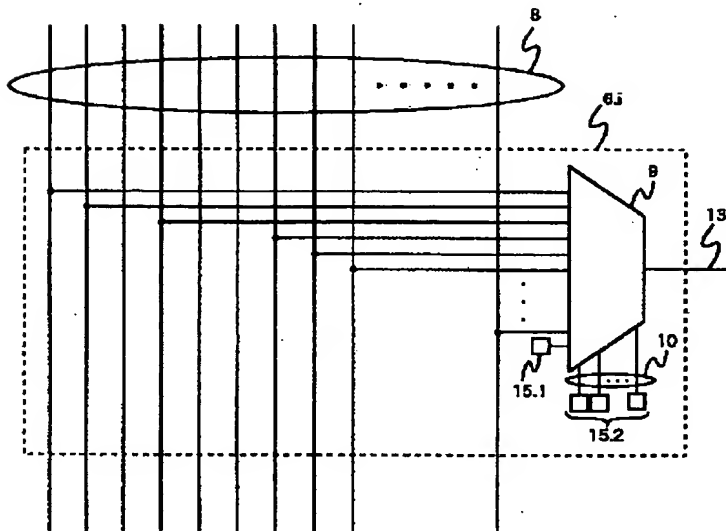
【図9】



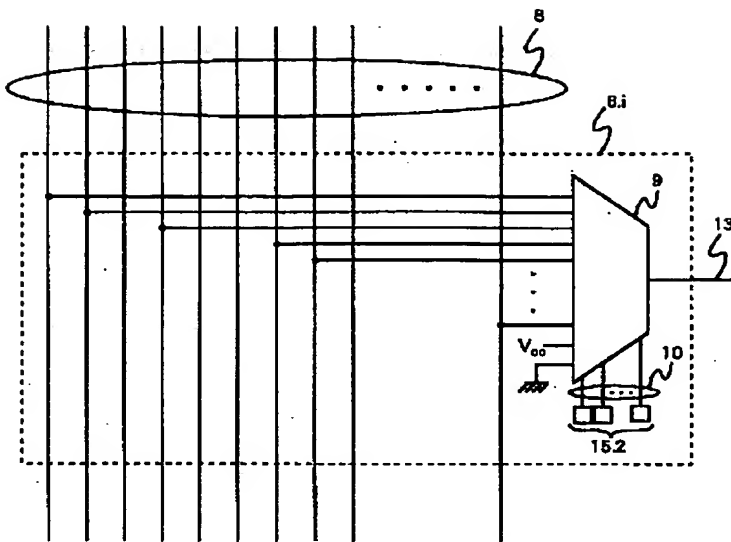
【図10】



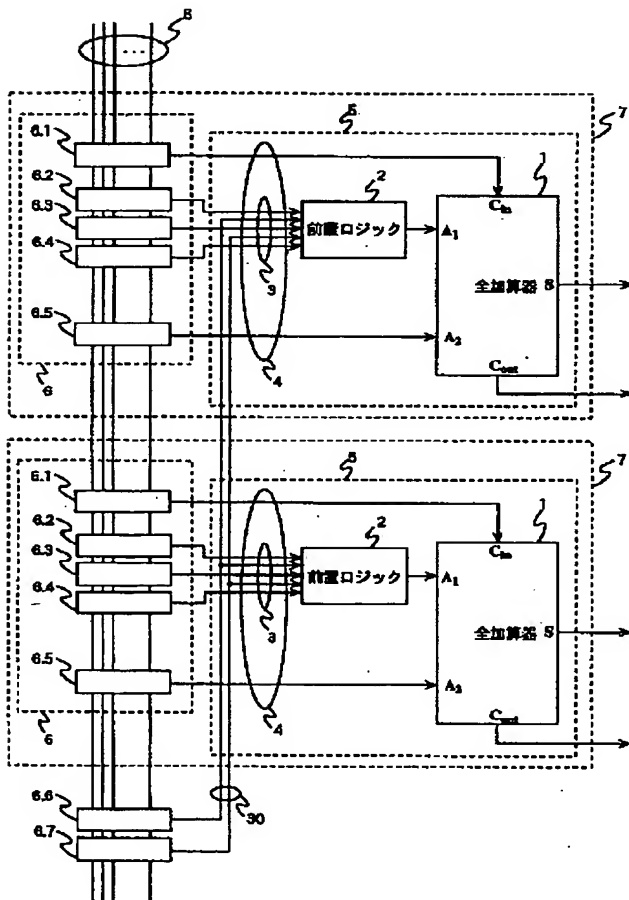
【図11】



【図12】



【図13】



【図14】

